

applicant's copy

1: function circuit

(54) FORMATION OF SEMICONDUCTOR ELEMENT ISOLATION REGION

(11) 59-65445 (A) (43) 13.4.1984 (19) JP

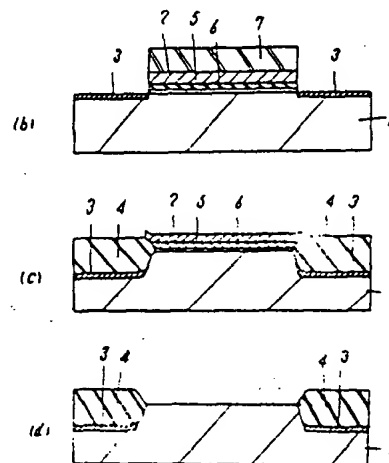
(21) Appl. No. 57-175071 (22) 5.10.1982

(71) MATSUSHITA DENSHI KOGYO K.K. (72) HIDEAKI TAKAHASHI(1)

(51) Int. Cl.³ H01L21/76, H01L21/318, H01L21/95

PURPOSE: To realize micro-miniaturization of element isolating region through suppression of lateral oxidation in the selective oxidation by executing heat treatment under the NH_3 ambient after forming an oxide film on the semiconductor substrate.

CONSTITUTION: An oxide film 5 is formed on a semiconductor substrate 1 and an Si_3N_4 layer 6 is formed at the interface between the oxide film 5 and the substrate 1 by the heat treatment under the NH_3 ambient. Thereafter, an Si_3N_4 film 2 is formed by thermal decomposition of NH_3 and dichlorocyclane (SiH_2Cl_2) and a photo resist film 7 is then formed. The Si_3N_4 film 2 which may be used as the element isolating region is removed and a diffusion layer 3 for channel stop is formed by injecting impurity in the same conductivity type as a semiconductor substrate 1. The photo resist 7 is removed, the selective oxide film 4 is formed, and the oxide film 5, Si_3N_4 films 2, 6 are removed. Since oxidation of semiconductor substrate 1 just under the oxide film 5 is suppressed by the thin Si_3N_4 film 6, bird beak of selective oxidation can remarkably be suppressed.



ENTERED

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

12 公開特許公報 (A)

昭59—65445

51 Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和59年(1984)4月13日

H 01 L 21.76

M 8122—5 F

21/318

7739—5 F

21.95

7739—5 F

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ 半導体素子分離領域の形成方法

72 発明者 神原銀次郎

門真市大字門真1006番地松下電
子工業株式会社内

⑮ 特 願 昭57—175071

⑯ 出 願 昭57(1982)10月5日

74 出 願 人 松下電子工業株式会社

⑰ 発明者 高橋秀明

門真市大字門真1006番地

門真市大字門真1006番地松下電
子工業株式会社内

74 代理人 弁理士 中尾敏男 外 1 名

明 細 書

1、発明の名称

半導体素子分離領域の形成方法

2、特許請求の範囲

半導体基板上に、シリコン酸化膜を被覆した後、アンモニア雰囲気中で高温加熱処理を施し、前記基板と前記酸化膜との界面に第1のシリコンナイトライド膜を形成する工程、前記酸化膜上に第2のシリコンナイトライド膜を被覆する工程、素子間分離領域となる前記基板上的前記第1、第2のシリコンナイトライド膜及び前記酸化膜を選択的に除去する工程、酸化雰囲気中で高温加熱を施し前記基板の選択酸化を行なう工程を含むことを特徴とする半導体素子分離領域の形成方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、大規模集積回路等の微細化アクティブ領域の形成に有効な素子間分離のための選択酸化による半導体素子分離領域の形成方法に関するものである。

従来例の構成とその問題点

大規模集積回路(以下、LSIという)、例えば、MOS型LSIの製作においては、MOSトランジスタを構成するアクティブ領域、このアクティブ領域を分離する素子間分離領域、さらには各素子を電気的に接続する電極配線等はそれぞれの形成時に、高密度化、高性能化に必要な個々のプロセスによって、精製良く、かつ、高い再現性を保ちながら微細構造を形成することが不可欠である。

従来、MOS型LSIプロセスにおけるフィールド酸化膜と呼ばれる厚い酸化シリコン膜を形成する方法として第1図示のように、半導体基板1の表面にシリコンナイトライド膜(Si_3N_4)2を局所的に設け、これをマスクとして基板1の表面を選択的に酸化して、必要に応じ、予め、イオン注入により準備された高濃度の不純物層3(チャネルストップ)を形成すると同時に、フィールド酸化膜4を形成する方法がよく用いられている。しかしながら、この方法では、選択酸化をするこ

とにより横方向の酸化が進行し、いわゆるバースビーク (Birds Beak) 4bが発生して素子分離領域の微細化を困難としていた。

発明の目的

本発明は、選択酸化における横方向酸化を抑え素子分離領域の微細化を図ることが出来る半導体素子分離領域の形成方法を提供することを目的とする。

発明の構成

本発明は、半導体基板表面に酸化膜を形成した後、アンモニア (NH_3) 雰囲気中で高温加熱処理を行ない、ついで、 Si_3N_4 膜を形成しホトリソグラフィにより素子分離領域を予定した部分の Si_3N_4 膜を選択的に除去し、必要に応じ、イオン注入で高濃度不純物のチャネルストップを素子分離領域内に形成したのち、 Si_3N_4 膜をマスクとして酸化雰囲気中で高温加熱処理を施し、半導体基板に選択的に酸化膜を形成することにより、バースビークの抑制されたフィールド酸化膜が得ようとするものである。

(d) は、上記処理を行なった後に酸化膜 5、 Si_3N_4 膜 2、6 を除去した状態の要部断面図である。

この第2図に示す本発明の実施例による方法では、選択酸化によるバースビークはほとんど発生していない。つまり、本実施例の方法によれば、第2図(a)のように NH_3 の熱処理により、酸化膜 5 と半導体基板 1 との界面に非常に薄い Si_3N_4 膜 6 が形成され、第2図(d)の選択酸化工程において酸化膜 5 直下の半導体基板 1 の酸化がこの薄い Si_3N_4 膜 6 によって抑えられるために素子間分離領域 4 の横方向への広がりが小さくなると推定される。

本実施例で形成された素子間分離領域は第2図に概要を示したように、従来の方法で形成された第1図示のものに比べ、選択酸化のバースビークが顕著に抑制される。例えば従来、素子分離領域の酸化膜厚 4 が 6000Å で素子活性領域のための Si_3N_4 膜 2 のマスク寸法を 3.0μm として、選択酸化後の活性領域寸法は、1.8μm となっていたが、本発明の本実施例による方法では同じ条件

実施例の説明

本発明の方法を MOS 型 LSI の製造方法を例示して説明する。第2図(a)~(d)はその工程断面図を示す。

まず、第2図(a)のように、半導体基板 1 に 1000°C の酸化雰囲気中で、厚さ 500Å の薄い酸化膜 5 を形成する。この後に、900°C の NH_3 雰囲気中で熱処理を行なう。この熱処理工程で、酸化膜 5 と基板 1 との界面には極く薄い Si_3N_4 層 6 が形成される。その後に NH_3 とジクロルミラン (SiH_2Cl_2) の熱分解により厚さ 1200Å の Si_3N_4 膜 2 を形成する。以上の処理を施した後、第2図(b)のように、ホトレジスト膜 7 を形成して、素子間分離領域に予定するところの Si_3N_4 膜 2 を、ホトリソグラフィにより選択的に除去し、ついで、半導体基板 1 と同導電型の不純物をイオン注入法で注入しチャネル・ストップ用拡散層 3 を形成する。以上の処理を施した後ホトレジスト 7 を除去し第2図(c)に示すように、1000°C の酸化雰囲気中で選択酸化膜 4 を形成する。第2図

で 2.5μm であった。

発明の効果

以上のように本発明の方法を用いれば、半導体基板に酸化膜を形成してから、 NH_3 雰囲気中で熱処理を行なうという簡単な工程を加えるだけで選択酸化時のバースビークの発生がほとんど抑制でき、超 LSI のための素子微細化に優れ、その効果は大きい。

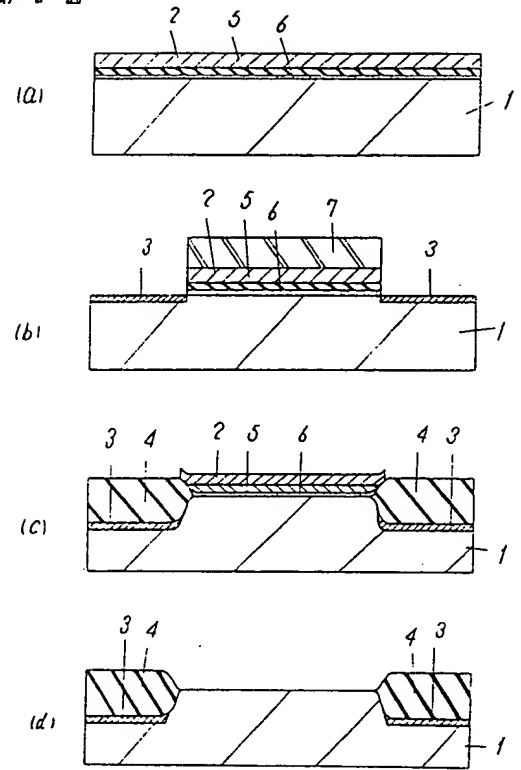
4、図面の簡単な説明

第1図は、従来の素子間分離領域の断面図、第2図(a)~(d)は、本発明の方法を示す工程断面図である。

1……半導体基板、2…… Si_3N_4 膜、3……高濃度拡散層、4……選択酸化膜、5……酸化膜、6…… Si_3N_4 膜、6…… Si_3N_4 膜、7……ホトレジスト。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 2 図



第 1 図

